



IN THE UNITED STATES PATENT AND TRADEMARK OFFICE

IN RE APPLICATION OF: Keisuke YONEHAMA, et al.

GAU:

SERIAL NO: 10/602,595

EXAMINER:

FILED: June 25, 2003

FOR: A SEMICONDUCTOR MEMORY DEVICE HAVING A GATE ELECTRODE AND A DIFFUSION LAYER AND A MANUFACTURING METHOD THEREOF

REQUEST FOR PRIORITY

COMMISSIONER FOR PATENTS
ALEXANDRIA, VIRGINIA 22313

SIR:

- ☐ Full benefit of the filing date of U.S. Application Serial Number _____, filed _____, is claimed pursuant to the provisions of 35 U.S.C. §120.
- ☐ Full benefit of the filing date(s) of U.S. Provisional Application(s) is claimed pursuant to the provisions of 35 U.S.C. §119(e):
Application No. _____ Date Filed _____
- ☒ Applicants claim any right to priority from any earlier filed applications to which they may be entitled pursuant to the provisions of 35 U.S.C. §119, as noted below.

In the matter of the above-identified application for patent, notice is hereby given that the applicants claim as priority:

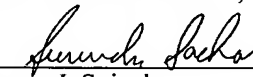
<u>COUNTRY</u>	<u>APPLICATION NUMBER</u>	<u>MONTH/DAY/YEAR</u>
JAPAN	2002-314627	October 29, 2002

Certified copies of the corresponding Convention Application(s)

- ☒ are submitted herewith
- ☐ will be submitted prior to payment of the Final Fee
- ☐ were filed in prior application Serial No. _____ filed _____
- ☐ were submitted to the International Bureau in PCT Application Number _____
Receipt of the certified copies by the International Bureau in a timely manner under PCT Rule 17.1(a) has been acknowledged as evidenced by the attached PCT/IB/304.
- ☐ (A) Application Serial No.(s) were filed in prior application Serial No. _____ filed _____; and
- ☐ (B) Application Serial No.(s) _____
- ☐ are submitted herewith
- ☐ will be submitted prior to payment of the Final Fee

Respectfully Submitted,

OBLON, SPIVAK, McCLELLAND,
MAIER & NEUSTADT, P.C.



Marvin J. Spivak

Registration No. 24,913



22850

日本国特許庁
JAPAN PATENT OFFICE

10/602,595

別紙添付の書類に記載されている事項は下記の出願書類に記載されている事項と同一であることを証明する。

This is to certify that the annexed is a true copy of the following application as filed with this Office

出願年月日
Date of Application:

2002年10月29日

出願番号
Application Number:

特願2002-314627

[ST.10/C]:

[JP 2002-314627]

出願人
Applicant(s):

株式会社東芝

2003年 6月24日

特許庁長官
Commissioner,
Japan Patent Office

太田信一郎

出証番号 出証特2003-3049426

【書類名】 特許願

【整理番号】 13857401

【提出日】 平成14年10月29日

【あて先】 特許庁長官殿

【国際特許分類】 H01L 29/76
H01L 27/10

【発明の名称】 半導体記憶装置及びその製造方法

【請求項の数】 6

【発明者】

【住所又は居所】 三重県四日市市山之一色町 8 0 0 番地 株式会社東芝
四日市工場内

【氏名】 米 浜 敬 祐

【発明者】

【住所又は居所】 三重県四日市市山之一色町 8 0 0 番地 株式会社東芝
四日市工場内

【氏名】 坂 上 栄 人

【発明者】

【住所又は居所】 神奈川県川崎市幸区小向東芝町 1 番地 株式会社東芝
マイクロエレクトロニクスセンター内

【氏名】 藤 本 寛 正

【発明者】

【住所又は居所】 神奈川県川崎市幸区小向東芝町 1 番地 株式会社東芝
マイクロエレクトロニクスセンター内

【氏名】 小井土 直 樹

【特許出願人】

【識別番号】 000003078

【住所又は居所】 東京都港区芝浦一丁目 1 番 1 号

【氏名又は名称】 株式会社 東 芝

【代理人】

【識別番号】 100075812

【弁理士】

【氏名又は名称】 吉 武 賢 次

【選任した代理人】

【識別番号】 100088889

【弁理士】

【氏名又は名称】 橘 谷 英 俊

【選任した代理人】

【識別番号】 100082991

【弁理士】

【氏名又は名称】 佐 藤 泰 和

【選任した代理人】

【識別番号】 100096921

【弁理士】

【氏名又は名称】 吉 元 弘

【選任した代理人】

【識別番号】 100103263

【弁理士】

【氏名又は名称】 川 崎 康

【手数料の表示】

【予納台帳番号】 087654

【納付金額】 21,000円

【提出物件の目録】

【物件名】 明細書 1

【物件名】 図面 1

【物件名】 要約書 1

【プルーフの要否】 要

【書類名】 明細書

【発明の名称】 半導体記憶装置及びその製造方法

【特許請求の範囲】

【請求項 1】

半導体基板と、
前記半導体基板上に所定間隔を開けて形成された複数のゲート電極と、
前記半導体基板上において、前記ゲート電極間を埋めるように形成された第 1 の絶縁膜と、
複数の前記ゲート電極の間における所定の位置において、前記半導体基板の表面が露出するように前記第 1 の絶縁膜に開口され、導電材料で埋め込まれたコンタクトと、
複数の前記ゲート電極の間における前記コンタクトが形成されていない位置において、前記ゲート電極と平行に前記半導体基板の表面が露出するように前記第 1 の絶縁膜に開口され、導電材料で埋め込まれた第 1 の配線層と、
少なくとも前記第 1 の絶縁膜を覆うように形成された第 2 の絶縁膜と、
前記コンタクトの表面が露出するように前記第 2 の絶縁膜に開口され、導電材料で埋め込まれた第 1 のビアと、
前記第 1 の配線層の表面が露出するように前記第 2 の絶縁膜に開口され、導電材料で埋め込まれた第 2 のビアと、
前記第 2 の絶縁膜上に形成され、前記第 1 のビアを介して前記コンタクトと接続された第 2 の配線層と、
前記第 2 の絶縁膜上に形成され、前記第 2 のビアを介して前記第 1 の配線層と接続された第 3 の配線層と、
を備えることを特徴とする半導体記憶装置。

【請求項 2】

半導体基板と、
前記半導体基板の表面部分に形成されたソース領域及びドレイン領域と、
前記半導体基板上に形成された第 1 の絶縁膜と、
前記ドレイン領域の表面が露出するように前記第 1 の絶縁膜に開口され、導電

材料で埋め込まれたドレインコンタクトと、

前記ソース領域の表面が露出するように前記第 1 の絶縁膜に開口され、導電材料で埋め込まれたソース線と、

少なくとも前記第 1 の絶縁膜を覆うように形成された第 2 の絶縁膜と、

前記ドレインコンタクトの表面が露出するように前記第 2 の絶縁膜に開口され、導電材料で埋め込まれた第 1 のビアと、

前記ソース線の表面が露出するように前記第 2 の絶縁膜に開口され、導電材料で埋め込まれた第 2 のビアと、

前記第 2 の絶縁膜上に形成され、前記第 1 のビアを介して前記ドレインコンタクトと接続された第 1 の配線層と、

前記第 2 の絶縁膜上に形成され、前記第 2 のビアを介して前記ソース線と接続された第 2 の配線層と、

を備えることを特徴とする半導体記憶装置。

【請求項 3】

前記第 1 及び第 2 のビアを埋める導電材料には、タングステンが含まれることを特徴とする請求項 1 又は 2 記載の半導体記憶装置。

【請求項 4】

半導体基板上に所定間隔を開けて複数のゲート電極を形成する工程と、

前記半導体基板上において、前記ゲート電極間を埋めるように第 1 の絶縁膜を形成する工程と、

複数の前記ゲート電極の間における所定の位置において、前記半導体基板の表面が露出するように前記第 1 の絶縁膜に開口し導電材料で埋め込んでコンタクトを形成する工程と、

複数の前記ゲート電極の間における前記コンタクトが形成されていない位置において、前記ゲート電極と平行に前記半導体基板の表面が露出するように前記第 1 の絶縁膜に開口して導電材料で埋め込んで第 1 の配線層を形成する工程と、

少なくとも前記第 1 の絶縁膜を覆うように第 2 の絶縁膜を形成する工程と、

前記コンタクトの表面が露出するように前記第 2 の絶縁膜に開口し、導電材料で埋め込んで第 1 のビアを形成する工程と、

前記第 1 の配線層の表面が露出するように前記第 2 の絶縁膜に開口し、導電材料で埋め込んで第 2 のビアを形成する工程と、

前記第 2 の絶縁膜上において、前記第 1 のビアを介して前記コンタクトと接続する第 2 の配線層を形成する工程と、

前記第 2 の絶縁膜上において、前記第 2 のビアを介して前記第 1 の配線層と接続する第 3 の配線層を形成する工程と、

を備えることを特徴とする半導体記憶装置の製造方法。

【請求項 5】

半導体基板の表面部分にソース領域及びドレイン領域を形成する工程と、

前記半導体基板上に第 1 の絶縁膜を形成する工程と、

前記ドレイン領域の表面が露出するように前記第 1 の絶縁膜に開口し、導電材料で埋め込んでドレインコンタクトを形成する工程と、

前記ソース領域の表面が露出するように前記第 1 の絶縁膜に開口し、導電材料で埋め込んでソース線を形成する工程と、

少なくとも前記第 1 の絶縁膜を覆うように第 2 の絶縁膜を形成する工程と、

前記ドレインコンタクトの表面が露出するように前記第 2 の絶縁膜に開口し、導電材料で埋め込んで第 1 のビアを形成する工程と、

前記ソース線の表面が露出するように前記第 2 の絶縁膜に開口し、導電材料で埋め込んで第 2 のビアを形成する工程と、

前記第 2 の絶縁膜上において、前記第 1 のビアを介して前記ドレインコンタクトと接続する第 1 の配線層を形成する工程と、

前記第 2 の絶縁膜上において、前記第 2 のビアを介して前記ソース線と接続する第 2 の配線層を形成する工程と、

を備えることを特徴とする半導体記憶装置の製造方法。

【請求項 6】

前記第 1 及び第 2 のビアを埋める導電材料には、タングステンが含まれることを特徴とする請求項 4 又は 5 記載の半導体記憶装置の製造方法。

【発明の詳細な説明】

【 0 0 0 1 】

【発明の属する技術分野】

本発明は、半導体記憶装置及びその製造方法に関し、例えばNOR型不揮発性半導体記憶装置等に好適な装置及びその製造方法に関する。

【0002】

【従来の技術】

従来の半導体記憶装置として、NOR型不揮発性半導体記憶装置の平面構造を図6に示す。シャロートレンチから成る素子分離領域STIによって分離された、複数の素子領域ERが図中左右方向に配置されている。各々の素子領域ERを直交するように、ゲート電極の形状に加工された複数のワード線WL1が図中上下方向に配線されている。

【0003】

2本のワード線WL1の間において、1つ置きに、半導体基板100の表面部分に形成されたドレイン領域とビット線115とを接続するドレインコンタクト102aが設けられており、このドレインコンタクト102aはドレインコンタクト102aを挟んで両側に配置されたセルに共通のものとなっている。

【0004】

2本のワード線WL1の間において、ドレインコンタクト102aが設けられていない他の1つ置きの位置には、半導体基板100の表面部分に形成されたソース領域に接続した状態で、ワード線WL1と並行にソース線103が配線されている。ソース線103上には、ソース線103と、ビット線115と同層であって図示されていない他の配線層とを接続するソースコンタクト102bが設けられている。

【0005】

図6におけるA-A線に沿う縦断面を図4に、図6におけるB-B線に沿う縦断面を図5にそれぞれ示す。

【0006】

図5に示されるように、半導体基板100の表面部分において、素子分離領域STIを形成することで、この素子分離領域STIに挟まれた状態で複数の素子領域ERが設けられる。各々の素子領域ERを直交するようにその上部に、ワー

ド線WL1が形成される。

【0007】

このワード線WL1は、図4及び図5に示されたように半導体基板100上にシリコン酸化膜101を介して形成され、第1層目のフローティングゲートとしての多結晶シリコン膜104及び第2層目のフローティングゲートとしての多結晶シリコン膜105、ONO膜106、コントロールゲート電極としての多結晶シリコン層107及びタングステンシリコン(WSi)層108、ゲート電極形状に加工するときのマスク材として設けられたTEOS膜109を備えている。

【0008】

このようなワード線WL1の側面に、サイドウォールとしてシリコン窒化膜110が形成される。そして、サイドウォール間を覆うようにシリコン窒化膜111が形成される。さらに、シリコン窒化膜111で覆われたサイドウォール間を埋め込むように、シリコン酸化膜112、131が堆積された後、CMP法により平坦化される。

【0009】

従来は、ドレインコンタクト102aとソース線103とが別工程で形成され、先ずソース線103の形成が行われる。ワード線WL1の間に1つ置き的位置に、素子領域ER及び素子分離領域STIと直交し、ワード線WL1と平行な方向に、シリコン酸化膜101、シリコン窒化膜111、シリコン酸化膜112及び131に対してRIE(Reactive Ion Etching)が行われて半導体基板100のソース領域の表面が露出するように開口される。開口した箇所に、タングステン(W)等の金属膜114bが埋め込まれてソース線103が形成される。

【0010】

この後、層間絶縁膜としてシリコン酸化膜113が形成されて平坦化される。ワード線WL1の間のうち、ソース線103が形成されていない箇所において、半導体基板100の表面が露出するように、シリコン酸化膜101、シリコン窒化膜111、シリコン酸化膜112、131及び113に対してRIEが行われてコンタクトホールが開口される。開口された箇所に、タングステン(W)等の金属膜114aが埋め込まれてドレインコンタクト102aが形成される。

【0011】

さらに、ソース線103と、図示されていない配線層とを接続するために、シリコン酸化膜113にR I Eが行われてソース線103の表面が露出するようにコンタクトホールが開口される。このコンタクトホールを埋め込むように、タングステン等の金属膜116が堆積されてソースコンタクト102bが形成される。

【0012】

このような従来のソース配線構造(L I :Local InterConnect)を有する半導体記憶装置を開示するものとして、例えば次のような文献が存在する。

【0013】

【非特許文献1】

IEDM98-975-978記載 (Novel $0.44\mu\text{m}^2$ Ti-Salicide STI Cell Technology for High-Density NOR Flash Memories and High Performance Embedded Application)。

【特許文献1】

特開平10-326896号公報

【特許文献2】

特開平6-334156号公報

【特許文献3】

特開平7-74326号公報

【特許文献4】

特開平11-265947号公報

【特許文献5】

特開平2002-76147号公報

【特許文献6】

特開平9-129854号公報

【特許文献7】

特開平2001-68571号公報

【0014】

【発明が解決しようとする課題】

しかし、上述した従来の半導体記憶装置には、次のような問題があった。ドレインコンタクト 1 0 2 a の形成を、ソース線 1 0 3 を形成し、層間絶縁膜としてのシリコン酸化膜 1 1 3 を堆積した後に行っている。

【0 0 1 5】

このため、ソース線 1 0 3 の厚さと、層間絶縁膜としてのシリコン酸化膜 1 1 3 の厚さとを合計した深さだけコンタクトホールを開口し、このコンタクトホールを金属膜 1 1 4 a で埋め込まなければならない。このため、コンタクトホールのアスペクト比が高くなり、埋め込みが困難になりボイド等が発生して導通不良を起こす虞があった。

【0 0 1 6】

また、ソース線 1 0 3 を形成するための R I E によるパターニング工程と、ドレインコンタクト 1 0 2 a を形成するためのコンタクトホールを開口する工程とを異なるフォトマスクを用いて行う必要があり、それぞれのパターニング加工をワード線 W L 1 を基準に合わせて行わなければならない。特に、ソースコンタクト 1 0 2 b を形成するためのコンタクトホールの開口を、ソース線 1 0 3 及び接続先の配線層との両者と接続するように行う必要がある。この結果、ソースコンタクト 1 0 2 b がソース線 1 0 3 に対して間接的に合せるような工程となってしまう、ソース線 1 0 3 に対してズレが生じてパターニングされて導通不良を起こすという問題もあった。

【0 0 1 7】

本発明は上記事情に鑑み、ドレインコンタクト及びソースコンタクトの導通不良を防止することが可能な半導体記憶装置及びその製造方法を提供することを目的とする。

【0 0 1 8】

【課題を解決するための手段】

本発明の半導体記憶装置は、

半導体基板と、

前記半導体基板上に所定間隔を開けて形成された複数のゲート電極と、

前記半導体基板上において、前記ゲート電極間を埋めるように形成された第 1 の絶縁膜と、

複数の前記ゲート電極の間における所定の位置において、前記半導体基板の表面が露出するように前記第 1 の絶縁膜に開口され、導電材料で埋め込まれたコンタクトと、

複数の前記ゲート電極の間における前記コンタクトが形成されていない位置において、前記ゲート電極と平行に前記半導体基板の表面が露出するように前記第 1 の絶縁膜に開口され、導電材料で埋め込まれた第 1 の配線層と、

少なくとも前記第 1 の絶縁膜を覆うように形成された第 2 の絶縁膜と、

前記コンタクトの表面が露出するように前記第 2 の絶縁膜に開口され、導電材料で埋め込まれた第 1 のビアと、

前記第 1 の配線層の表面が露出するように前記第 2 の絶縁膜に開口され、導電材料で埋め込まれた第 2 のビアと、

前記第 2 の絶縁膜上に形成され、前記第 1 のビアを介して前記コンタクトと接続された第 2 の配線層と、

前記第 2 の絶縁膜上に形成され、前記第 2 のビアを介して前記第 1 の配線層と接続された第 3 の配線層と、

を備えることを特徴とする。

【 0 0 1 9 】

また本発明の半導体記憶装置は、

半導体基板と、

前記半導体基板の表面部分に形成されたソース領域及びドレイン領域と、

前記半導体基板上に形成された第 1 の絶縁膜と、

前記ドレイン領域の表面が露出するように前記第 1 の絶縁膜に開口され、導電材料で埋め込まれたドレインコンタクトと、

前記ソース領域の表面が露出するように前記第 1 の絶縁膜に開口され、導電材料で埋め込まれたソース線と、

少なくとも前記第 1 の絶縁膜を覆うように形成された第 2 の絶縁膜と、

前記ドレインコンタクトの表面が露出するように前記第 2 の絶縁膜に開口され

、導電材料で埋め込まれた第 1 のヴィアと、

前記ソース線の表面が露出するように前記第 2 の絶縁膜に開口され、導電材料で埋め込まれた第 2 のヴィアと、

前記第 2 の絶縁膜上に形成され、前記第 1 のヴィアを介して前記ドレインコンタクトと接続された第 1 の配線層と、

前記第 2 の絶縁膜上に形成され、前記第 2 のヴィアを介して前記ソース線と接続された第 2 の配線層と、

を備えることを特徴とする。

【 0 0 2 0 】

本発明の半導体記憶装置の製造方法は、

半導体基板上に所定間隔を開けて複数のゲート電極を形成する工程と、

前記半導体基板上において、前記ゲート電極間を埋めるように第 1 の絶縁膜を形成する工程と、

複数の前記ゲート電極の間における所定の位置において、前記半導体基板の表面が露出するように前記第 1 の絶縁膜に開口し導電材料で埋め込んでコンタクトを形成する工程と、

複数の前記ゲート電極の間における前記コンタクトが形成されていない位置において、前記ゲート電極と平行に前記半導体基板の表面が露出するように前記第 1 の絶縁膜に開口して導電材料で埋め込んで第 1 の配線層を形成する工程と、

少なくとも前記第 1 の絶縁膜を覆うように第 2 の絶縁膜を形成する工程と、

前記コンタクトの表面が露出するように前記第 2 の絶縁膜に開口し、導電材料で埋め込んで第 1 のヴィアを形成する工程と、

前記第 1 の配線層の表面が露出するように前記第 2 の絶縁膜に開口し、導電材料で埋め込んで第 2 のヴィアを形成する工程と、

前記第 2 の絶縁膜上において、前記第 1 のヴィアを介して前記コンタクトと接続する第 2 の配線層を形成する工程と、

前記第 2 の絶縁膜上において、前記第 2 のヴィアを介して前記第 1 の配線層と接続する第 3 の配線層を形成する工程と、

を備えることを特徴とする。

【0021】

また本発明の半導体記憶装置の製造方法は、
半導体基板の表面部分にソース領域及びドレイン領域を形成する工程と、
前記半導体基板上に第1の絶縁膜を形成する工程と、
前記ドレイン領域の表面が露出するように前記第1の絶縁膜に開口し、導電材料で埋め込んでドレインコンタクトを形成する工程と、
前記ソース領域の表面が露出するように前記第1の絶縁膜に開口し、導電材料で埋め込んでソース線を形成する工程と、
少なくとも前記第1の絶縁膜を覆うように第2の絶縁膜を形成する工程と、
前記ドレインコンタクトの表面が露出するように前記第2の絶縁膜に開口し、導電材料で埋め込んで第1のビアを形成する工程と、
前記ソース線の表面が露出するように前記第2の絶縁膜に開口し、導電材料で埋め込んで第2のビアを形成する工程と、
前記第2の絶縁膜上において、前記第1のビアを介して前記ドレインコンタクトと接続する第1の配線層を形成する工程と、
前記第2の絶縁膜上において、前記第2のビアを介して前記ソース線と接続する第2の配線層を形成する工程と、
を備えることを特徴とする。

【0022】

【発明の実施の形態】

以下、本発明の実施の形態について、NOR型不揮発性半導体記憶装置を例にとり図面を参照して説明する。

【0023】

本発明の実施の形態による半導体記憶装置の平面構造を図3に示す。シャロートレンチから成る素子分離領域STIによって分離された、複数の素子領域ERが図中左右方向に配置されている。各々の素子領域ERと直交するように、ゲート電極の形状を有する複数のワード線WL2が図中上下方向に配線されている。

【0024】

図3におけるC-C線に沿う縦断面を図1に、図3におけるD-D線に沿う縦

断面を図 2 にそれぞれ示す。2 本のワード線 W L 2 の間において、1 つ置きに、半導体基板 2 0 0 の表面部分に形成されたドレイン領域とビット線 2 1 5 とを接続するドレインコンタクト 2 0 2 a が設けられており、このドレインコンタクト 2 0 2 a はドレインコンタクト 2 0 2 を挟んで両側に配置されたセルに共通のものとなっている。

【 0 0 2 5 】

ここでビット線 2 1 5 は、例えばバリアメタル層としての T i 又は T i N 層、金属配線層、さらにバリアメタル層としての T i 又は T i N 層を含む三層構造としてもよい。

【 0 0 2 6 】

ワード線 W L 2 の間におけるドレインコンタクト 2 0 2 a が設けられていない他の 1 つ置きの位置には、半導体基板 2 0 0 の表面部分に形成されたソース領域と接続した状態でワード線 W L 2 と並行にソース線 2 0 3 が配線されている。ソース線 2 0 3 上には、ソース線 2 0 3 と図示されていない配線層とを接続するソースコンタクト 2 0 2 b が設けられている。

【 0 0 2 7 】

図 2 に示されるように、半導体基板 2 0 0 の表面部分において、素子分離領域 S T I を形成することで、この素子分離領域 S T I に挟まれた状態で複数の素子領域 E R が設けられる。各々の素子領域 E R を直交するようにその上部に、ワード線 W L 2 が形成される。

【 0 0 2 8 】

ワード線 W L 2 は、図 1 及び図 2 に示されたように半導体基板 2 0 0 上にシリコン酸化膜 2 0 1 を介して形成され、第 1 層目のフローティングゲートとしての多結晶シリコン膜 2 0 4 及び第 2 層目のフローティングゲートとしての多結晶シリコン膜 2 0 5、O N O 膜 2 0 6、コントロールゲート電極としての多結晶シリコン層 2 0 7 及びタングステンシリコン (W S i) 層 2 0 8、ゲート電極形状に加工するときのマスク材として設けられた T E O S 膜 2 0 9 を備えている。

【 0 0 2 9 】

先ず、半導体基板 2 0 0 の表面上にシリコン酸化膜 2 0 1 が形成され、多結晶

シリコン膜 2 0 4、図示されていないシリコン窒化膜及びシリコン酸化膜が順に堆積される。シリコン酸化膜上にレジストが塗布され、光蝕刻法によりゲート電極のパターンに加工されたレジスト膜が形成され、これをマスクにして R I E 法によりシリコン酸化膜及びシリコン窒化膜がパターニング加工される。レジストが除去され、シリコン酸化膜をマスクにして多結晶シリコン膜 2 0 4 がパターニング加工される。

【 0 0 3 0 】

次に、多結晶シリコン膜 2 0 4 上のシリコン酸化膜をマスクに用いて、シリコン酸化膜 2 0 1 及び半導体基板 2 0 0 の表面部分が加工され、半導体基板の表面部分にトレンチ溝 S T I が形成される。この後、基板表面上及びトレンチ溝 S T I の内壁上に熱酸化工程によりシリコン酸化膜が形成される。

【 0 0 3 1 】

H D P (high density plasma) 法によりトレンチ溝 S T I の内部を埋め込むようにシリコン酸化膜が堆積され、C M P (chemical mechanical polish) 法によりこのシリコン酸化膜が平坦化され、多結晶シリコン膜 2 0 4 上のシリコン酸化膜がなくなるまで削られる。次に、リン酸処理によりシリコン酸化膜上のシリコン窒化膜が除去される。

【 0 0 3 2 】

減圧 C V D 法により、リンが添加された多結晶シリコン膜 2 0 5 が堆積され、R I E 法によりゲート電極の形状にパターニング加工される。

【 0 0 3 3 】

さらに、減圧 C V D 法により O N O 膜 2 0 6、リンが添加された多結晶シリコン膜 2 0 7、W S i 膜 2 0 8、シリコン酸化膜 2 0 9 が堆積される。シリコン酸化膜 2 0 9 上に、フォトリソグラフィ法によりゲート電極の形状を有するレジスト膜が形成され、これをマスクにしてシリコン酸化膜 2 0 9 が R I E 法によりパターニング加工される。

【 0 0 3 4 】

このシリコン酸化膜 2 0 9 をマスクにして、W S i 膜 2 0 8、多結晶シリコン膜 2 0 7、O N O 膜 2 0 6、多結晶シリコン膜 2 0 5、多結晶シリコン膜 2 0 4

が R I E 法によりパターニング加工される。このようにして得られたゲート電極形状を有するワード線 W 2 の側壁に、シリコン酸化膜 2 3 0 が形成される。

【 0 0 3 5 】

次に、ゲート電極をマスクとして、イオン注入法により図示されていないソース領域及びドレイン領域を形成する領域にそれぞれ不純物が注入される。

【 0 0 3 6 】

減圧 C V D 法によりシリコン窒化膜 2 1 0 が堆積され、R I E 法によりエッチングバックが行われてゲート電極の側面にサイドウォールが形成される。

【 0 0 3 7 】

シリコン窒化膜 2 1 1 が堆積され、さらにその上に常圧 C V D 法によりシリコン酸化膜 2 1 2 が堆積され、CMP 法によりシリコン窒化膜 2 1 1 が露出するまで削られて平坦化される。プラズマ C V D 法によりシリコン酸化膜 2 3 1 が堆積される。

【 0 0 3 8 】

この後、ドレインコンタクト 2 0 2 a とソース線 2 0 3 の形成が行われる。レジストが塗布され、フォトリソグラフィ法により同一フォトマスクを用いて、ドレインコンタクト 2 0 2 a とソース線 2 0 3 とを形成する箇所が除去されたレジスト膜が形成される。このレジスト膜をマスクとして、R I E 法によりシリコン酸化膜 2 3 1 とシリコン酸化膜 2 1 2 が加工されて、ドレインコンタクト 2 0 2 a とソース線 2 0 3 を形成する箇所が除去される。この後、レジスト膜が除去される。

【 0 0 3 9 】

シリコン窒化膜 2 1 1 に対し、R I E 法により半導体基板 2 0 0 の表面が露出するまで加工が行われる。P V D 法により、チタン膜 2 1 4 a 1 及び 2 1 4 b 1 、タングステン膜 2 1 4 a 2 及び 2 1 4 b 2 が順に堆積されて、ドレインコンタクト 2 0 2 a とソース線 2 0 3 とが埋め込まれる。CMP 法により、チタン膜及びタングステン膜が、シリコン酸化膜 2 3 1 の表面が露出するまで削られて平坦化が行われる。

【 0 0 4 0 】

シリコン酸化膜 2 1 3 が堆積され、その表面上にレジストが塗布される。フォトリソグラフィ法により同一フォトマスクを用いて、ヴィアの箇所が開口されるようにパターニングされたレジスト膜が形成される。このレジスト膜をマスクとしてシリコン酸化膜 2 1 3 に R I E 法によりパターニング加工が行われ、ビット線 2 1 5 とドレインコンタクト 2 0 2 a とを導通させるヴィア 2 1 9 形成用のホールが開口され、同時にソース線 2 0 3 と、ビット線 2 1 5 と同層の他の配線層とを接続するヴィア 2 1 6 形成用のホールが開口される。これらのホールを埋めるようにチタン膜及びタングステン膜が堆積され、ヴィア 2 1 9 及び 2 1 6 が形成される。この後、ビット線 2 1 5 及び他の配線層が形成される。

【 0 0 4 1 】

このように本実施の形態によれば、ドレインコンタクト 2 0 2 a とソース線 2 0 3 とを形成する工程、さらにヴィア 2 1 9 及び 2 1 6 を形成する工程をそれぞれ同一工程で共通のマスクを用いて同時に形成することにより、両者を同一高さでチタン膜及びタングステン膜で埋め込むことができる。よって、従来よりもドレインコンタクト 2 0 2 a 形成時のアスペクト比が低減され、コンタクトの導通不良を防止することができる。

【 0 0 4 2 】

また、ドレインコンタクト 2 0 2 a とソース線 2 0 3 とを同一フォトマスクを用いて形成することで、異なるフォトマスクを用いてパターニングしていた従来よりも合せ精度が向上するので、微細化がより進んだ場合にも導通不良を防ぐことが可能である。

【 0 0 4 3 】

本実施の形態は一例であって本発明を限定するものではない。例えば、成膜法や材料等には限定されず、必要に応じて自由に選択することができる。

【 0 0 4 4 】

【発明の効果】

以上説明したように本発明の半導体記憶装置は、半導体基板の表面と絶縁膜上の配線層とを接続するコンタクトの形成を、基板上の配線の形成及びこれと絶縁膜上の他の配線層とを接続するヴィアの形成と工程を共通化して 2 段階に分けて

行うことでアスペクト比を下げることで、埋め込み性が向上して導通不良を防止することができると共に、同一工程で行うことで合わせ精度が向上しより微細な加工においても導通不良の発生を防止することが可能である。

【図面の簡単な説明】

【図 1】

本発明の実施の形態による半導体記憶装置において、図 3 における C-C 線に沿う縦断面構造を示す断面図。

【図 2】

同半導体記憶装置において、図 3 における D-D 線に沿う縦断面構造を示す断面図。

【図 3】

同半導体記憶装置における平面構造を示す平面図。

【図 4】

従来の半導体記憶装置において、図 6 における A-A 線に沿う縦断面構造を示す断面図。

【図 5】

同半導体記憶装置において、図 6 における B-B 線に沿う縦断面構造を示す断面図。

【図 6】

同半導体記憶装置における平面構造を示す平面図。

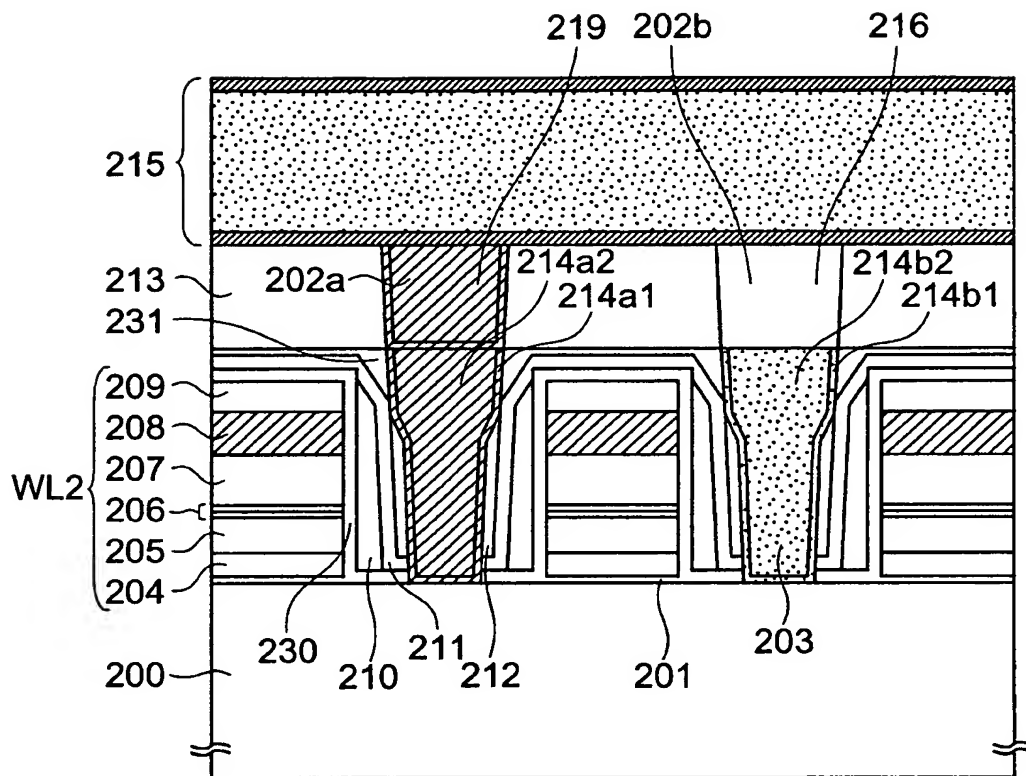
【符号の説明】

- 200 半導体基板
- 201 シリコン酸化膜
- 202a ドレインコンタクト
- 202b ソースコンタクト
- 203 ソース線
- 204 多結晶シリコン膜（フローティングゲート電極）
- 205 多結晶シリコン膜（フローティングゲート電極）
- 206 ONO膜

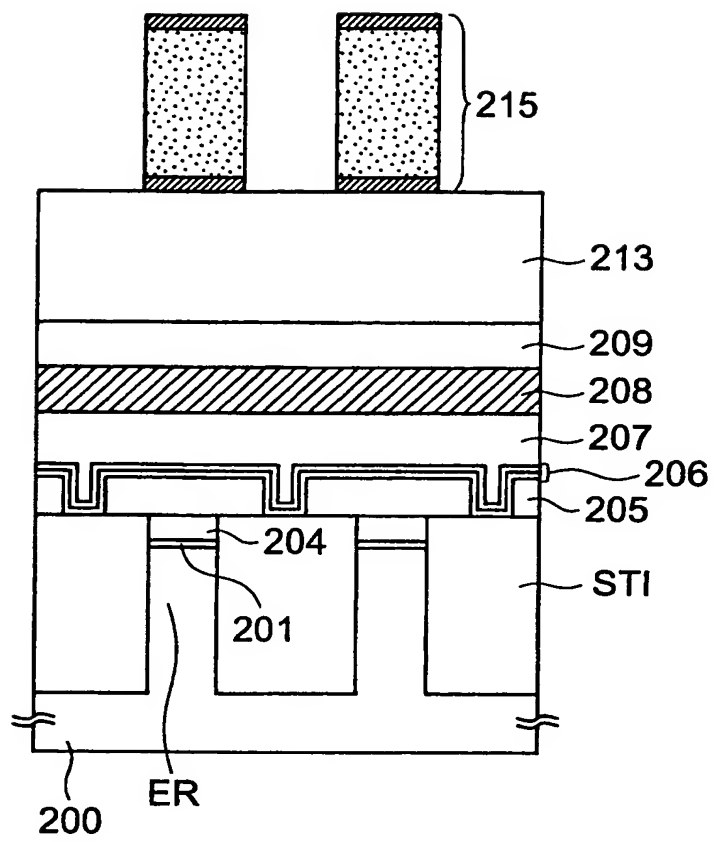
2 0 7 多結晶シリコン膜（コントロールゲート電極）
2 0 8 タングステンシリコン膜
2 0 9 シリコン酸化膜（T E O S 膜）
2 1 0 シリコン窒化膜（サイドウォール）
2 1 1 シリコン窒化膜
2 1 2、2 3 1 シリコン酸化膜
2 1 3 シリコン酸化膜（層間絶縁膜）
2 1 4 a 1 金属膜（チタン膜、ドレインコンタクト）
2 1 4 a 2 金属膜（タングステン膜、ドレインコンタクト）
2 1 4 b 1 金属膜（チタン膜、ソース線）
2 1 4 b 2 金属膜（タングステン膜、ソース線）
2 1 5 配線層（ビット線）
2 1 6 金属膜（チタン膜及びタングステン膜、ソースコンタクト用ヴィア）
2 1 9 金属膜（チタン膜及びタングステン膜、ドレインコンタクト用ヴィア）
E R 素子領域
S T I 素子分離領域
W L 2 ワード線

【書類名】 図面

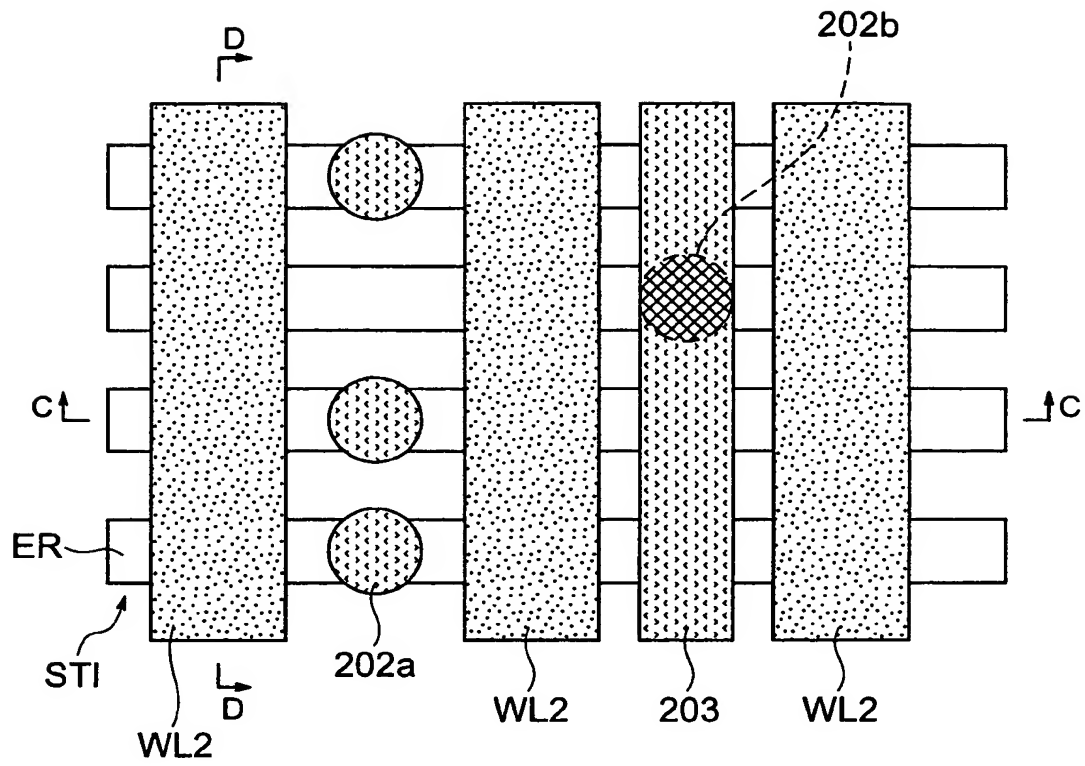
【図 1】



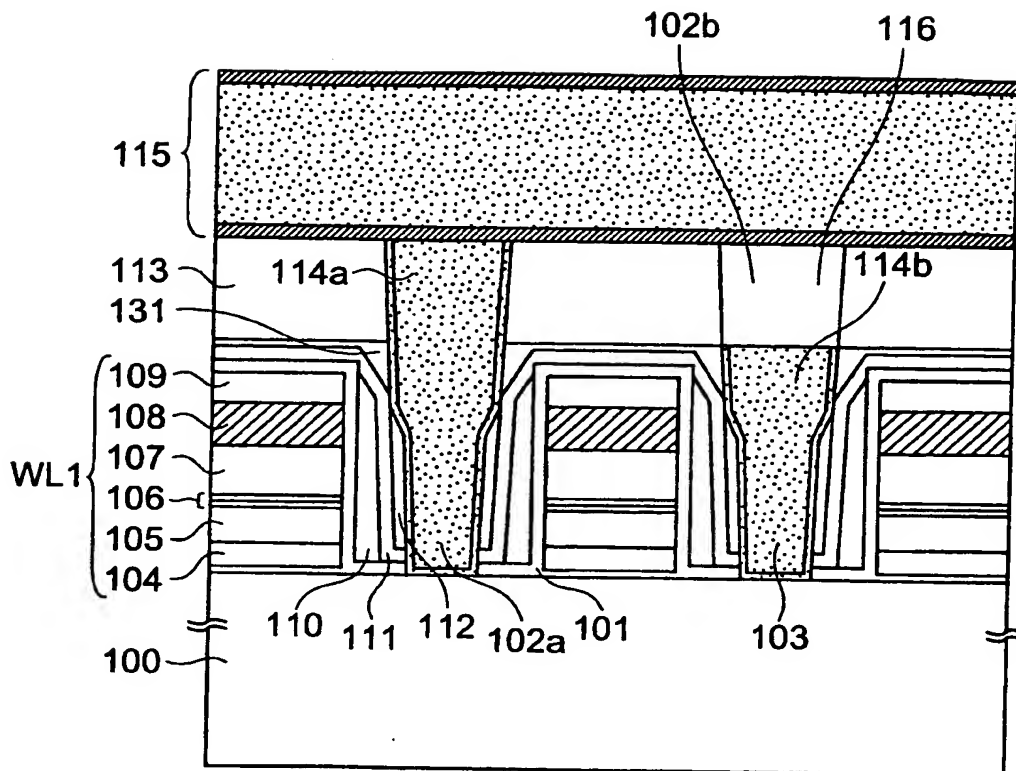
【図2】



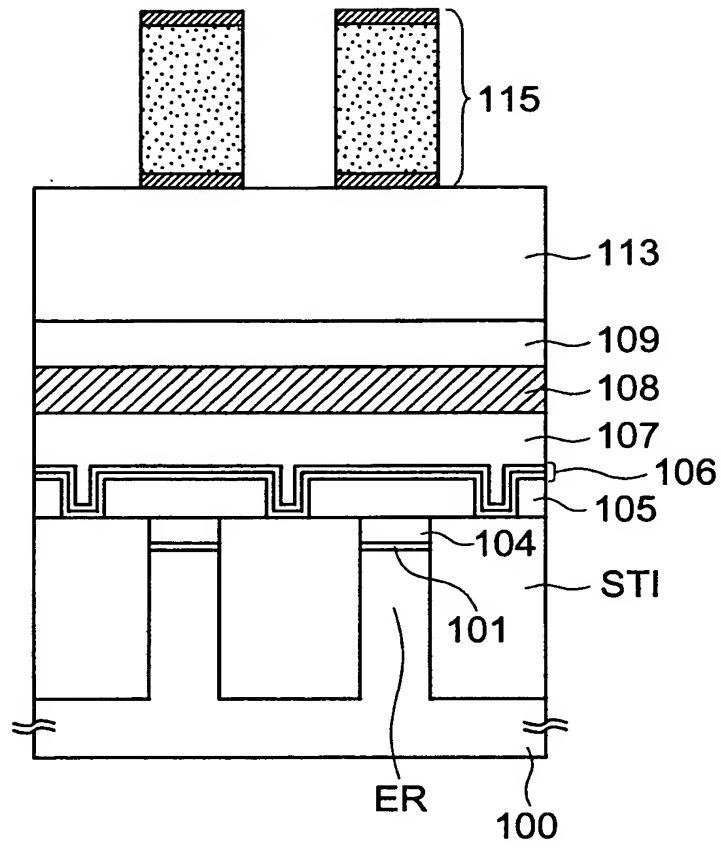
【図 3】



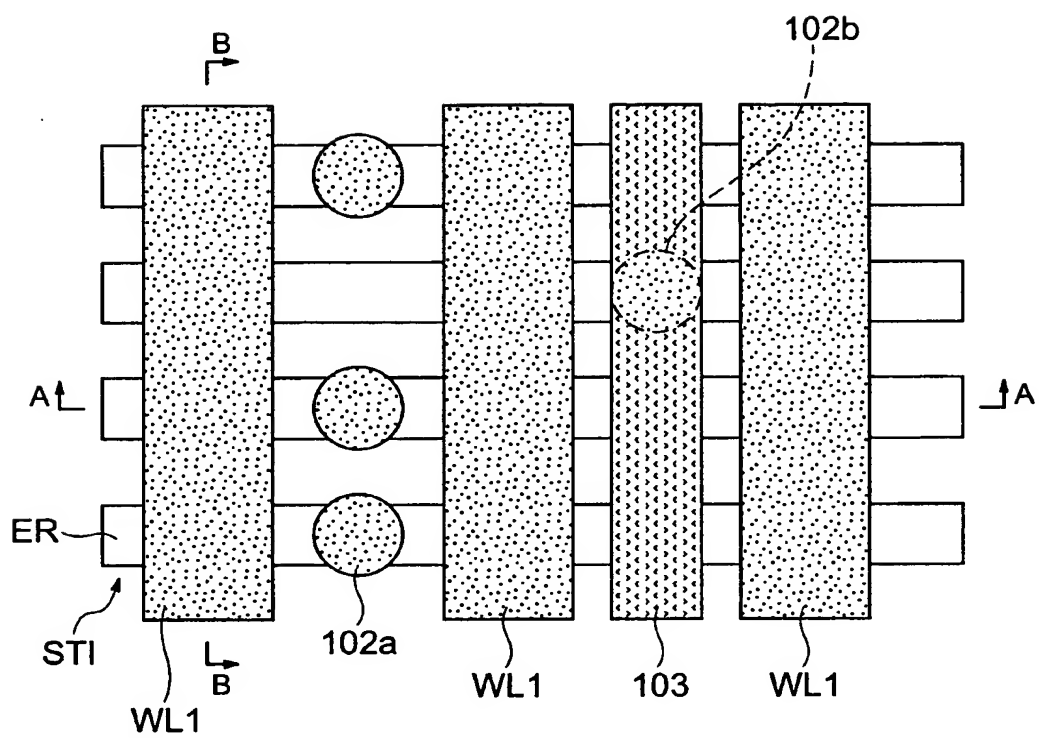
【図4】



【図 5】



【図6】



【書類名】 要約書

【要約】

【課題】 ドレインコンタクト及びソースコンタクトの導通不良を防止する。

【解決手段】 半導体基板 2 0 0 表面のドレイン領域とビット線 2 1 5 との接続構造を、先ずドレイン領域と接続するコンタクト 2 0 2 a を形成し、このコンタクト 2 0 2 a とビット線 2 1 5 とを接続するヴィア 2 0 2 a とを形成する。このように 2 段階に分けて形成することで、ゲート電極構造を有するワード線 W L 2 を挟んで形成するソース線 2 0 3 及びソースコンタクト 2 0 2 b と同一工程で形成することができ、アスペクト比の低減による埋め込み特性が向上する。

【選択図】 図 1

出 願 人 履 歴 情 報

識別番号 [0 0 0 0 0 3 0 7 8]

- | | |
|----------|--------------------|
| 1. 変更年月日 | 2 0 0 1 年 7 月 2 日 |
| [変更理由] | 住所変更 |
| 住 所 | 東京都港区芝浦一丁目 1 番 1 号 |
| 氏 名 | 株式会社東芝 |
| 2. 変更年月日 | 2 0 0 3 年 5 月 9 日 |
| [変更理由] | 名称変更 |
| 住 所 | 東京都港区芝浦一丁目 1 番 1 号 |
| 氏 名 | 株式会社東芝 |